

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-062856  
 (43)Date of publication of application : 28.02.2002

(51)Int.CI.

G09G 3/36  
 G02F 1/133  
 G02F 1/1368  
 G09F 9/00  
 G09F 9/30  
 G09F 9/35  
 G09G 3/20  
 H05B 33/08  
 H05B 33/14

(21)Application number : 2001-171802

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 06.06.2001

(72)Inventor : YAMAZAKI SHUNPEI  
 ARAI YASUYUKI  
 KIMURA HAJIME

(30)Priority

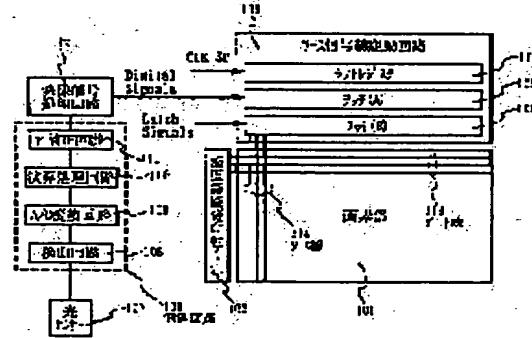
Priority number : 2000168330 Priority date : 06.06.2000 Priority country : JP

## (54) DISPLAY DEVICE AND MANUFACTURING METHOD THEREFOR

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device enabling to automatically adjust brightness according to ambient brightness.

SOLUTION: To solve the above problem, the configuration of this invention is characterized by having a  $\gamma$ -correction circuit for converting a video signal voltage into a driving voltage for displaying a gradation, and an optical sensor for controlling an input-output characteristic of the  $\gamma$ -correction circuit according to the ambient brightness. In this case, the  $\gamma$ -correction circuit for converting the video signal voltage into a driving voltage for a gradation display is formed on a 1st substrate, the optical sensor for controlling the input-output voltage characteristic of the  $\gamma$ -correction circuit according to the ambient brightness is formed on a 2nd substrate, and the 2nd substrate is fixed on the 1st substrate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-62856

(P2002-62856A)

(43)公開日 平成14年2月28日(2002.2.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 7 5	G 0 2 F 1/133	5 7 5 2 H 0 9 3
1/1368		1/1368	3 K 0 0 7
G 0 9 F 9/00	3 3 7	G 0 9 F 9/00	3 3 7 B 5 C 0 0 6
	3 4 8		3 4 8 C 5 C 0 8 0

審査請求 未請求 請求項の数13 O.L (全20頁) 最終頁に続く

(21)出願番号 特願2001-171802(P2001-171802)

(22)出願日 平成13年6月6日(2001.6.6)

(31)優先権主張番号 特願2000-168330(P2000-168330)

(32)優先日 平成12年6月6日(2000.6.6)

(33)優先権主張国 日本 (J P)

(71)出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 荒井 康行

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

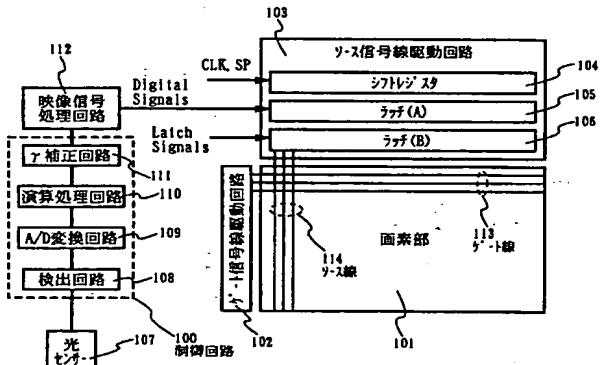
最終頁に続く

(54)【発明の名称】 表示装置及びその作製方法

(57)【要約】

【課題】 本発明は、周囲の明るさに応じて輝度調節を自動的に調節することを可能とする表示装置を提供することを目的とする。

【解決手段】 上記問題点を解決するために、本発明の構成は、映像信号電圧を階調表示するための駆動電圧に変換するγ補正回路と、前記γ補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーとを有することを特徴としている。この場合、映像信号電圧を階調表示するための駆動電圧に変換するγ補正回路は第1の基板に形成され、前記γ補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーが第2の基板に形成され、前記第1の基板に前記第2の基板が固定する。



## 【特許請求の範囲】

【請求項1】  $\gamma$  補正回路の出力線が映像信号処理回路に接続され、前記  $\gamma$  補正回路の出力電圧を周囲の明るさに応じて変化させる複数の光センサーが設けられていることを特徴とする表示装置。

【請求項2】  $\gamma$  補正回路の出力線が映像信号処理回路に接続され、前記  $\gamma$  補正回路の出力電圧を周囲の明るさに応じて変化させる複数の光センサーが第2の基板に形成され、前記第1の基板に前記第2の基板が固定されていることを特徴とする表示装置。

【請求項3】 周囲の明るさを検知する複数の光センサーと、前記光センサーの電気信号を基に、画素が明状態でいる期間を決める電圧を出力する  $\gamma$  補正回路とを有することを特徴とする表示装置。

【請求項4】 画素部が形成された基板の外周部に設けられた複数の光センサーと、前記複数の光センサーと接続するソースフォロワ回路と、前記ソースフォロワ回路に接続する  $\gamma$  補正回路と、前記  $\gamma$  補正回路に接続する映像信号增幅回路と、前記映像信号增幅回路に接続するソース信号線駆動回路と、前記ソース信号線駆動回路に接続する画素部とを有することを特徴とする表示装置。

【請求項5】 画素部が形成された第1の基板の外周部に、第2の基板に形成された複数の光センサーが固定され、前記複数の光センサーと接続するソースフォロワ回路と、前記ソースフォロワ回路に接続する  $\gamma$  補正回路と、前記  $\gamma$  補正回路に接続する映像信号增幅回路と、前記映像信号增幅回路に接続するソース信号線駆動回路と、前記ソース信号線駆動回路に接続する画素部とを有することを特徴とする表示装置。

【請求項6】 請求項4または請求項5において、前記画素部は、画素電極と、液晶層と、対向電極とを少なくとも有することを特徴とする表示装置。

【請求項7】 請求項4または請求項5において、前記画素部は、画素電極と、発光層とを少なくとも有することを特徴とする表示装置。

【請求項8】 請求項1乃至請求項5において、前記光センサーは非晶質シリコン層を光電変換層に含むことを特徴とする表示装置。

【請求項9】 第1の基板上に薄膜トランジスタで画素部を形成する工程と、第2の基板上に光センサーを形成する工程と、前記第1の基板に前記第2の基板を固定する工程とを有することを特徴とする表示装置の作製方法。

【請求項10】 第1の基板上に薄膜トランジスタで画素部と、前記画素部の駆動回路と、前記画素部の輝度を制御する制御回路とを形成する工程と、第2の基板上に光センサーを形成する工程と、前記第1の基板に前記第2の基板を固定し、前記制御回路と前記光センサー電気的に接続する工程とを有することを特徴とする表示装置の作製方法。

【請求項11】 請求項9または請求項10において、前

記画素部は、画素電極と液晶層と対向電極とを少なくとも形成することを特徴とする表示装置の作製方法。

【請求項12】 請求項9または請求項10において、前記画素部は、画素電極と発光層とを少なくとも形成することを特徴とする表示装置の作製方法。

【請求項13】 請求項9または請求項10において、前記光センサーは非晶質シリコン層を光電変換層に形成することを特徴とする表示装置の作製方法。

## 【発明の詳細な説明】

## 10 【0001】

【発明の属する技術分野】 本発明は、周囲の明るさに応じて表示画面の輝度調節が可能な表示装置及びその作製方法に関する。

## 【0002】

【従来の技術】 基板上に薄膜トランジスタ（以下、TFTという）を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用が進められている。従来、アモルファスシリコン膜を用いたTFTにより実用化されていたアクティブマトリクス型表示装置は、ドライバICを必要としていた。しかし、多結晶シリコン膜を用いたTFTは高い駆動周波数で動作が可能となり、画素部のTFTと駆動回路のTFTを基板上に一体形成することが可能となっている。

【0003】 駆動回路を基板上に一体形成したアクティブマトリクス型表示装置は、シフトレジスタやサンプリング回路など様々な回路を作り込むことでコストの低減、装置の小型化、生産歩留まりの向上など、様々な利点が得られるとして注目されている。

【0004】 ところで、アクティブマトリクス型表示装置は、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれに個別電極（画素電極）が設けられている。液晶表示装置の場合には、TFTが形成された素子基板と、共通電極が形成された対向基板との間に液晶が封入されている。そして、個別電極と共通電極との間の液晶を誘電体とした一種のコンデンサを形成している。液晶表示装置の動作は、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへ電荷を蓄積することで液晶を駆動し、液晶を透過する光量を調節して画像を表示する仕組みとなっている。光源は、外光を利用する反射型液晶表示装置もあるが、バックライトまたはフロントライトを用いた液晶表示装置が一般的である。

【0005】 一方、画素毎に発光素子を設け、その発光素子の点滅をTFTにより制御して画像を表示する表示装置も開発されている。発光素子はエレクトロルミネンス（Electro Luminescence：以下、ELと表記する）を利用していることから、この種の表示装置はEL表示装置とも呼ばれている。TFTを用いたアクティブマトリクス型EL表示装置は、各画素のそれぞれにスイッチング用のTFT（以下スイッチング用TFTとい

う)を設け、そのスイッチング用TFTによって電流制御を行うTFT(以下電流制御用TFTという)を動作させてEL層(発光層を含む有機化合物層を指している)を発光させる。例えば特開平10-189252号に記載されたEL表示装置がある。

【0006】このように、アクティブマトリクス型表示装置は、外光を利用するにしろ、自発光の光を用いるにしろ、映像信号に基づいた入力電圧により画面の輝度の強弱をTFTで制御して画像表示を行う仕組みとなっている。

#### 【0007】

【発明が解決しようとする課題】しかしながら、従来の表示装置の多くは画像表示を行うための入力電圧特性が固定であり、必要とされる表示装置の最大輝度が周囲環境によって異なることへの配慮が十分なされてなかつた。周囲の環境が夜間であり暗い場合には、昼間屋外で使用する場合と同等の輝度がなくても認識することができるにもかかわらず、輝度調整がされていないことにより使用者にとっては眩しく感じられ視認性を損なってしまうことも多かった。

【0008】勿論、周囲の明るさをセンサーにより検知して画面の輝度を調節する方法は提案されている。明るさ、即ち照度を検知するセンサーとしてはフォトダイオード、フォトトランジスタなどが用いられる。しかし、これらのセンサーを個別部品として表示装置に実装すると、その分余計な面積を必要とする。外光は表示装置の周囲の物体で散乱して様々な角度から光センサーに入射する。その結果、周囲の明るさと輝度の補正にずれが生じてしまうことが問題となる。

【0009】また、センサーの種類によっては、人間の視感度とセンサーの分光感度特性とを合わせるために、光学フィルターを装着しなければ補正に誤差が生じてしまうという問題点がある。例えば、単結晶シリコンを用いたセンサーは、分光感度が赤外光領域に広がっているため、正確に明るさを補正するためには視感度補正フィルターを設ける必要がある。そのために、どうしても表示装置の大型化を余儀なくされてしまう。

【0010】上記問題点を解決するために、本発明は、周囲の明るさに応じて輝度調節を自動的に調節することを可能とすると共に、人間が感じる周囲の明るさの変化に対し適切な輝度調節が可能な表示装置を実現することを目的とする。

#### 【0011】

【課題を解決するための手段】上記問題点を解決するための本発明の構成は、アクティブマトリクス型表示装置において、 $\gamma$ 補正回路の出力線が映像信号処理回路に接続している。 $\gamma$ 補正回路は光センサーからの出力信号により、周囲の明るさに応じて画素の見かけ上の輝度を変化させる信号を映像信号処理回路に入力する。光センサーは複数個設ける。光センサーをアクティブマトリクス

型表示装置の画素部の周囲に複数個設けることにより周囲の物体で散乱して様々な角度から各光センサーに入射する光強度を検知して、そのバランスをとることにより適切な補正をすることができる。尚、 $\gamma$ 補正回路以外の補正回路を用いることも可能である。

【0012】この場合、映像信号電圧を階調表示するための駆動電圧に変換する $\gamma$ 補正回路は第1の基板に形成され、前記 $\gamma$ 補正回路入出力電圧特性を周囲の明るさに応じて制御するための光センサーが第2の基板に形成され、前記第1の基板に前記第2の基板が固定されている構成が望ましい。

【0013】また、他の発明の構成は、画素部が形成された基板の外周部に設けられた複数の光センサーと、複数の光センサーと接続するソースフォロワ回路と、ソースフォロワ回路に接続する $\gamma$ 補正回路と、 $\gamma$ 補正回路に接続する映像信号增幅回路と、映像信号增幅回路に接続するソース信号線駆動回路と、ソース信号線駆動回路に接続する画素部とを有している。本発明で用いる光センサーは、好適には非晶質シリコンを光電変換層に含むセンサーを適用する。

【0014】この光センサーは、光電変換層にp型とn型の非晶質半導体膜又は微結晶半導体膜の間にI型の高抵抗の非晶質シリコン膜を挟んでいる。また、光入射側には透明電極を、その反対側には金属電極が形成された構造を有している。このような構造の光センサーは、分光感度特性において500~600nmにピークを持ち、人間の視感度特性に近くなっている。従って、視感度補正フィルターを使わなくても良い。

【0015】また、他の発明の構成は、第1の基板上に薄膜トランジスタで画素部を形成する工程と、第2の基板上に光センサーを形成する工程と、前記第1の基板に前記第2の基板を固定する工程とを有することを特徴としている。

【0016】また、他の発明の構成は、第1の基板上に薄膜トランジスタで画素部と、前記画素部の駆動回路と、前記画素部の輝度を制御する制御回路とを形成する工程と、第2の基板上に光センサーを形成する工程と、前記第1の基板に前記第2の基板を固定し、前記制御回路と前記光センサーを電気的に接続する工程とを有することを特徴としている。

【0017】光センサーを構成する微結晶半導体膜や非晶質シリコン膜及び電極を形成するための導電膜は、プラズマCVD法やスパッタ法で形成することができる。これらの成膜法は基板の面積が大型化しても被膜を形成することが可能である。例えば、1辺が300mm以上、好ましくは1000mm以上の基板を用いることが可能である。一方、表示装置に実装する光センサーのサイズは1辺が1~5mmであり、大型基板を用いることにより、1枚の基板から多数の光センサーを取り出すことができる。

## 【0018】

【発明の実施の形態】図1はデジタル駆動方式のアクティブマトリクス型表示装置の回路構成のブロック図を示す。画素部101はゲート信号線駆動回路102から延在する複数のゲート線113と、ソース信号線駆動回路103から延在する複数のソース線114とが交差して形成され、各交点にTFTを設けて形成されている。画素部に入力されるデジタルデータ信号を形成する映像信号処理回路112を有している。

【0019】周囲の明るさを検知して画素部に入力する画像信号の振幅を制御する制御回路100は、光センサー107からの出力を検出する検出回路108、A/D変換回路109、演算処理回路110、 $\gamma$ 補正回路111から成っている。

【0020】光センサー107は、光電変換層にp型とn型の非晶質半導体膜又は微結晶半導体膜の間にI型の高抵抗の非晶質シリコン膜を挟んだpin接合を有する構造を採用する。光入射側には透明電極を、その反対側には金属電極が形成された構造を有している。このように非晶質シリコン膜を用いた光センサーは、分光感度特性において500~600nmにピークを持ち、人間の視感度特性に近くなっている。従って、視感度補正フィルターを使わなくても良い。

【0021】図2は検出回路108を説明する回路図であり、リセット用TFT202を導通状態にすると光センサー201には逆バイアス電圧が印加される。(以後、光センサー201のマイナス側端子の電位が電源電圧の電位まで充電される動作をリセットと呼ぶ)その後、リセット用TFT202を非導通状態にする。その時、光センサー201の起電力により、時間が経過するに従い電源電圧の電位まで充電されていた光センサー201のマイナス側端子の電位が光電変換によって発生した電荷によって徐々に低下する。そして、ある一定時間を経過した後、スイッチ用TFT204を導通状態とすると、増幅用TFT203を通って出力側に信号が出力される。

【0022】この場合、増幅用TFT203とスイッチ用TFT204はいわゆるソースフォロワ回路として動作する。図2ではソースフォロワ回路をnチャネル型TFTで形成した例で示されているが、勿論、pチャネル型TFTでも形成することができる。増幅側電源線205には電源電圧Vddが加えられている。バイアス側電源線206は基準電位0Vが与えられている。増幅用TFT203のドレイン側端子は増幅側電源線に接続され、ソース側端子はスイッチ用TFT204のドレイン端子に接続されている。スイッチ用TFT204のソース側端子はバイアス側電源線206に接続されている。スイッチ用TFT204のゲート端子にはバイアス電圧Vbが印加され、このTFTにはバイアス電流Ibが流れ。スイッチ用TFT204は基本的には定電流源とし

て動作する。増幅用TFT203のゲート端子には入力電圧Vinが加えられ、ソース端子が出力端子となる。このソースフォロワ回路の入出力関係は、Vout=Vin-Vbとなる。

【0023】この出力電圧VoutはA/D変換回路109によりデジタル信号に変換する。デジタル信号は演算処理回路110に入力された信号に対して、あらかじめ設定しておいた比較データに基づき画像の輝度を補正するための補正信号に変換する。 $\gamma$ 補正回路111はこの10補正信号に基づいて補正電圧を発生し、その出力線は映像信号処理回路112に接続して補正電圧を出力する。

【0024】映像信号処理回路112ではアナログ信号又はデジタル信号でなるビデオ信号(画像情報を含む信号)を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させ、ソース信号線駆動回路に入力する。

【0025】映像信号処理回路112には時分割階調データ信号発生回路が含まれ、この回路には1フレーム期間をnビット(nは2以上の整数)の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間においてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間をT<sub>s1</sub>:T<sub>s2</sub>:T<sub>s3</sub>:…:T<sub>s(n-1)</sub>:T<sub>s(n)</sub>=2<sup>0</sup>:2<sup>-1</sup>:2<sup>-2</sup>:…:2<sup>-(n-2)</sup>:2<sup>-(n-1)</sup>となるように設定する手段とが含まれている。

【0026】次に時分割階調表示について、図20を用いて説明する。ここではnビットデジタル駆動方式により2<sup>n</sup>階調のフルカラー表示を行う場合について説明する。まず、図20に示すように1フレーム期間をn個のサブフレーム期間(SF1~SFn)に分割する。なお、画素部の全ての画素が1つの画像を表示する期間を1フレーム期間と呼ぶ。フレーム期間は、発振周波数は60Hz以上、即ち1秒間に60以上設けられており、1秒間に60以上の画像が表示されている。1秒間に表示される画像の数が60より少なくなると、視覚的にフリッカ等の画像のちらつきが目立ち始める。また、1フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。

【0027】1つのサブフレーム期間はアドレス期間(T<sub>a</sub>)とサステイン期間(T<sub>s</sub>)とに分けられる。アドレス期間とは、1サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間とは、画素がオン状態(明状態)でいる期間を示している。

【0028】n個のサブフレーム期間(SF1~SFn)がそれぞれ有するアドレス期間(T<sub>a1</sub>~T<sub>an</sub>)の長さは全て一定である。SF1~SFnがそれぞれ有

するサステイン期間 ( $T_s$ ) をそれぞれ  $T_s 1 \sim T_s n$  とする。サステイン期間の長さは、 $T_s 1 : T_s 2 : T_s 3 : \dots : T_s (n-1) : T_s n = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$  となるように設定する。但し、 $S F 1 \sim S F n$  を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで  $2^n$  階調のうち所望の階調表示を行うことができる。

【0029】サステイン期間は、 $\gamma$ 補正回路 111 からの補正電圧に基づいて決定され、周囲の明るさに応じて映像の輝度調整を行う。

【0030】ソース信号線駆動回路 103 は基本的にシフトレジスタ 104、ラッチ A 105、ラッチ B 106 を有している。また、シフトレジスタ 104 にはクロックパルス (CLK) 及びスタートパルス (SP) が入力され、ラッチ A 105 にはデジタルデータ信号 (Digital Data Signals) が入力され、ラッチ B 106 にはラッチ信号 (Latch Signals) が入力される。なお、図 1においてソース信号線駆動回路 103 は 1 つだけ設けられているが、ソース信号線駆動回路は複数個設けても良い。

【0031】また、ゲート信号線駆動回路 102 は、シフトレジスタ、バッファ等 (いずれも図示せず) を有している。なお、図 3 (A) においてゲート信号線駆動回路 302a、302b は 2 つ設けられているが、本実施の形態においてデータ信号線駆動回路は 1 つであってもよい。

【0032】図 15 はアナログ駆動方式のアクティブマトリクス型表示装置の構成を示すブロック図を示す。121 はソース信号線駆動回路、102 はゲート信号線駆動回路である。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つづつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良い。また、ゲート信号線駆動回路を 2 つ設けても良い。

【0033】ソース信号線駆動回路 121 は、シフトレジスタ 122、レベルシフト 123、サンプリング回路 124 を有している。なおレベルシフトは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフトはシフトレジスタ 122 とサンプリング回路 124 との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ 122 の中にレベルシフト 123 が組み込まれている構成にしても良い。

【0034】クロック信号 (CLK)、スタートパルス信号 (SP) がシフトレジスタ 122 に入力される。シフトレジスタ 122 からアナログの信号 (アナログ信号) をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト 123 に入力され、その電位の振幅が大きくなっている出力される。レベルシフト 123 から出力されたサンプリング

信号は、サンプリング回路 124 に入力される。そしてサンプリング回路 124 に入力されるアナログの映像表示信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線に入力される。

【0035】周囲の明るさを検知して画素部に入力する画像信号の振幅を制御する制御回路 120 は、光センサー 126、光センサー 126 からの出力を検出する検出回路 127、演算処理回路 128、 $\gamma$ 補正回路 129 から成っている。光センサー 126 と検出回路 127 の回路構成は図 2 と同様なものであり、この出力電圧  $V_{out}$  は演算処理回路 128 に入力された信号に対して、画像の輝度を補正するための補正信号に変換する。映像信号処理回路 125 では、補正信号に基づいて映像信号の振幅を変化させ輝度調整を行う。

【0036】このように、アナログ駆動方式のアクティブマトリクス型表示装置であっても、光センサーを取り付け、光センサーが検知する周囲の明るさを基に補正電圧を変化させ電圧階調を行って輝度調節を行うことができる。尚、ここで示した画素部及やその駆動回路の構成は一例であり、本実施形態で示す構成に何ら限定されるものではない。

【0037】

【実施例】【実施例 1】図 3 は輝度の自動調節機能を有するアクティブマトリクス型表示装置の概略図を示している。絶縁表面を有する基板 300 には、画素部 301、ゲート信号線駆動回路 302a、302b、ソース信号線駆動回路 303a、303b、制御回路 305、映像信号処理回路 304、入力端子 307、光センサー 306 が設けられている。光センサー 306 の数は図 3 で示すように基板 300 の外周部に複数個設ける。複数個の光センサー 306 を設けると、様々な角度からの光を検知してきめ細かな輝度制御を行うことができる。

【0038】光センサー 306 は非晶質シリコンなど光電効果を有する材料を用いて作製する。光センサー 306 は別基板上に作製し、基板 300 の画素部 301 及び駆動回路の外側であり、基板 300 の外周部に取り付ける。この場合、光センサーの受光面と、画素部の映像表示面は同じ方向を向いている。

【0039】画素部 301 は、マトリクス状に複数の画素 308 が配列して形成されている。画素 308 は表示装置の種類によりその構成は異なるが、いずれにしても各画素には TFT が設けられている。

【0040】映像信号処理回路 304 及び制御回路 305 の構成は図 1 (デジタル駆動) または図 15 (アナログ駆動) と同様なものであり、光センサー 306 からの出力に応じてソース信号線駆動回路に入力する映像信号の振幅を変化させ輝度調整を行う。周囲が明るい場合には映像信号の振幅を大きくし、画像の輝度を高める。暗い場合にはその反対とする。

50 【0041】画素部 301、ゲート信号線駆動回路 30

2、ソース信号駆動回路303、映像信号処理回路304、制御回路305はTFTを用いて基板300上に形成することができる。

【0042】本発明は、アクティブマトリクス型表示装置において、周囲の明るさを光センサーで検知し、この情報に基づいて映像表示の輝度を制御するものである。光センサー306は画素部301の周囲に複数個設けることにより周辺の物体で散乱して様々な角度から各光センサーに入射する光強度を検知して、そのバランスをとることにより適切な補正をすることができる。尚、図3の表示装置の構成に限定されるものではなく、図3の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【0043】【実施例2】図3に示す構成アクティブマトリクス型表示装置は液晶表示装置やEL表示装置を実現することを可能とする。本実施例では基板上にTFTを形成し、液晶表示装置を作製する場合の例を説明する。

【0044】まず、図4(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニオホウケイ酸ガラスなどのガラス基板401上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成るブロッキング層402を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜を10～200nm(好ましくは50～100nm)形成し、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜を50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例ではブロッキング層402を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0045】島状に分割された半導体層403～406は、非晶質構造を有する半導体膜を、レーザーアニール法やファーネスアニール炉を用いた熱処理により結晶構造を有する半導体膜(以下、結晶質半導体膜という)で形成する。この島状の半導体層403～406の厚さは2.5～8.0nm(好ましくは3.0～6.0nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム(SiGe)合金などで形成すると良い。

【0046】レーザーアニール法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマーレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いる。レーザー発振器から出力されるレーザー光は、光学系で線状に集光し半導体膜に照射する方法を用いる。アニールの条件は実施者が適宜選択するものであるが、エキシマーレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>(代表的には200～300mJ/cm<sup>2</sup>)とする。また、YAGレーザーを用いる場合には、第2高調波を用いパルス

発振周波数1～10kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>(代表的には350～500mJ/cm<sup>2</sup>)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98%として行う。

【0047】次いで、島状の半導体層403～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜407はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0048】そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408aと第2の導電膜408bとを形成する。本実施例では、第1の導電膜408aを窒化タンタルまたはチタンで50～100nmの厚さに形成し、第2の導電膜408bをタングステンで100～300nmの厚さに形成する。これらの材料は、窒素雰囲気中における400～600℃の熱処理でも安定であり、抵抗率が著しく増大する事がない。

【0049】次に図4(B)に示すように、レジストによるマスク409を形成し、ゲート電極を形成するための第1のエッティング処理を行う。エッティング方法に限定はないが、好適にはICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッティング法を用いる。エッティング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を混合し、0.5～2Pa、好ましくは1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した場合にはタングステン膜、窒化タンタル膜及びチタン膜の場合でも、それぞれ同程度の速度でエッティングすることができる。

【0050】上記エッティング条件では、レジストによるマスクの形状と、基板側に印加するバイアス電圧の効果により端部をテーパー形状とできる。テーパー一部の角度は2.5～4.5度となるようにする。また、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10～20%程度の割合でエッティング時間を増加させると良い。タングステンに対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッティング処理により、酸化窒化シリコン膜が露出した面は2.0～5.0nm程度エッティングされる。こうして、第1のエッティング処理により第1の導電膜と第2の導電膜から成る第1の形状の導電層410～415(第1の導電膜410a～415aと第2の導電膜410b～415b)を形成する。416はゲート絶縁膜であ

り、第1の形状の導電層で覆われない領域は20~50nm程度エッティングされ薄くなる。

【0051】そして、図4 (C) で示すように、第1のドーピング処理を行いn型の不純物(ドナー)をドーピングする。ドーピングの方法はイオンドープ法若しくはイオン注入法で行う。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}/\text{cm}^2$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。この場合、加速電圧を制御(例えば、20~60keV)して、第1の形状の導電層をマスクとして利用する。こうして、第1の不純物領域417~420を形成する。例えば、第1の不純物領域417~420におけるn型の不純物の濃度は $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の範囲で形成する。

【0052】図5 (A) で示す第2のエッティング処理は、同様にICPエッティング装置を用い、エッティングガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給してプラズマを生成する。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。このような条件によりタンゲステン膜を異方性エッティングし、第1の導電層である窒化タンタル膜またはチタン膜を残存させるようにする。こうして、第2の形状の導電層421~426(第1の導電膜421a~426aと第2の導電膜421b~426b)を形成する。ゲート絶縁膜は第2の形状の導電層421~426で覆われない領域はさらに20~50nm程度エッティングされて膜厚が薄くなる。

【0053】次いで、第2のドーピング処理を行う。第1のドーピング処理よりもドーズ量を下げ高加速電圧の条件でn型の不純物(ドナー)をドーピングする。例えば、加速電圧を70~120keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図4 (C) で島状の半導体層に形成された第1の不純物領域の内側に第2の不純物領域427~430を形成する。このドーピングは、第2の形状の導電層423b~426bを不純物元素に対するマスクとして用い、第2の形状の導電層423a~426aの下側の領域に不純物元素が添加されるようにドーピングする。この不純物領域は、第2の形状の導電層423a~426aがほぼ同じ膜厚で残存していることから、第2の形状の導電層に沿った方向における濃度分布の差は小さく、 $1 \times 10^{17} \sim 1 \times 10^{19}/\text{cm}^3$ の濃度でn型の不純物(ドナー)が含まれるように形成する。

【0054】そして、図5 (B) に示すように、第3のエッティング処理を行い、ゲート絶縁膜のエッティング処理を行う。その結果、第2の形状の導電層421a~426aもエッティングされ、端部が後退して小さくなり、第3の形状の導電層431~436(第1の導電膜431a~436aと第2の導電膜431b~436b)が形

成される。437は残存するゲート絶縁膜であり、エッティングをさらに進めて半導体層の表面を露出させても良い。

【0055】pチャネル型TFTに対しては、図5 (C) に示すように、レジストマスク438、439を形成し、pチャネル型TFTを形成する島状の半導体層にp型の不純物(アクセプタ)をドーピングする。p型の不純物(アクセプタ)は13族に属する元素から選ばれ、典型的にはボロン(B)を用いる。第3の不純物領域440a~440cの不純物濃度は $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにする。第3の不純物領域にはリンが添加されているが、それ以上の濃度でボロンを添加して導電型を反転させておく。

【0056】以上までの工程で半導体層に不純物領域が形成される。図5において、第3の形状の導電層433~435はゲート電極となり、第3の形状の導電層436は容量配線となる。また、第3の形状の導電層431、432はソース線などの配線を形成する。

【0057】次に、図6 (A) では最初に、窒化シリコン膜(SiN:H)または酸化窒化シリコン膜(SiN<sub>x</sub>O<sub>y</sub>:H)から成る第1の絶縁膜441をプラズマCVD法で形成する。そして導電型の制御を目的としてそれぞれの島状の半導体層に添加された不純物元素を活性化する工程を行う。活性化はファーネスアニール炉を用いる熱アニール法で行なうことが好ましい。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することもできる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700℃、代表的には500~600℃で行なうものであり、本実施例では550℃で4時間の熱処理を行う。

【0058】その後、第1の絶縁膜441上に窒化シリコン膜(SiN:H)または酸化窒化シリコン膜(SiN<sub>x</sub>O<sub>y</sub>:H)から成る第2の絶縁膜442を形成する。そして、350~500℃で熱処理を行う。第2の絶縁膜442から放出される水素により半導体膜の水素化を行う。

【0059】さらに、図6 (B) で示すように有機樹脂からなる第3の絶縁膜443を約1000nmの厚さに形成する。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0060】次に、に示すように、第3の絶縁膜443、第2の絶縁膜442、第1の絶縁膜441に、コンタクトホールを形成し、アルミニウム(A1)、チタン

(T<sub>i</sub>)、タンタル (T<sub>a</sub>)などを用いて、接続電極451及びソースまたはドレイン配線444～447を形成する。また、画素部においては、画素電極450、ゲート配線449、接続電極448を形成する。

【0061】こうして、同一の基板上にpチャネル型TFT453とnチャネル型TFT454で形成される周辺回路451と、画素TFT455と保持容量456を有する画素部452が形成される。図6(B)では周辺回路451のpチャネル型TFT453とnチャネル型TFT454の断面図のみを示しているが、これらのTFTを用いて実施例1で示すゲート信号線駆動回路、ソース信号線駆動回路、映像信号処理回路、制御回路を形成することができる。その回路構成は実施者が適宜決定すれば良い。

【0062】駆動回路451のpチャネル型TFT453には、チャネル形成領域501、ソース領域またはドレイン領域として機能する第3の不純物領域502～504を有している。

【0063】nチャネル型TFT454には、チャネル形成領域505、第3の形状の導電層434から成るゲート電極と重なる第2の不純物領域506(Gate Overlapped Drain: GOLD領域)、ゲート電極の外側に形成される第2の不純物領域507(Lightly Doped Drain: LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域508を有している。これらのTFTを用いて、実施例1で示すゲート信号線駆動回路、ソース信号線駆動回路を形成することができる。

【0064】画素TFT455にはチャネル形成領域509、ゲート電極を形成する第3の形状の導電層435と重なる第2の不純物領域510(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域511(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域512、513、514を有している。また、保持容量456の一方の電極として機能する半導体膜は不純物領域516、517と不純物が添加されない領域515が形成されている。

【0065】画素部452においては、接続電極448によりソース配線432は、画素TFT455のソースまたはドレイン領域512と電気的な接続が形成される。また、ゲート配線449は、ゲート電極435と電気的な接続が形成される。また、画素電極450は、画素TFT455のソースまたはドレイン領域514及び保持容量456の一方の電極である半導体膜の不純物領域517と接続している。

【0066】図6(B)における画素部452の断面図は、図7で示すA-A'線に対応したものである。ゲート電極435は隣接する画素の保持容量の一方の電極を兼ね、画素電極452と接続する半導体層453と重なる部分で容量を形成している。また、ソース配線432と画素電極450及び隣接する画素電極451との配置

関係は、画素電極450、451の端部をソース配線432上に設け、重なり部を形成することにより、迷光を遮り遮光性を高めている。また、図8はこのような画素の等価回路を示している。

【0067】以上のようにして、実施例1で説明した図3におけるアクティブマトリクス型表示装置の駆動回路及び画素部を形成することができる。

【0068】【実施例3】図16はアクティブマトリクス型表示装置を逆スタガ型TFTで作製した一例を示す。

10 実施例2と同様に、基板1601に、pチャネル型TFT1701とnチャネル型TFT1702で形成される周辺回路1705と、画素TFT1703と保持容量1704を有する画素部1706が形成される。周辺回路1705のpチャネル型TFT1701とnチャネル型TFT1702の断面図のみを示しているが、これらのTFTを用いて実施例1で示すゲート信号線駆動回路、ソース信号線駆動回路、映像信号処理回路、制御回路を形成することができる。

【0069】基板1601には、ゲート電極1602～20 1604、ソースまたはドレイン線1606、1607、容量配線1605がモリブデン(Mo)、タンゲステン(W)、タンタル(T<sub>a</sub>)、アルミニウム(A1)などから選ばれた材料で形成され、その上にシリコンを含む絶縁膜でゲート絶縁膜として用いる第1絶縁膜1608が形成されている。半導体膜1610～1613はシリコンを含む結晶質半導体材料で形成され、p型またはn型の不純物を含む領域が形成されている。TFTのチャネル形成領域上にはチャネル保護膜1615～1617が形成されていても良く、その上層には窒化シリコンまたは窒化酸化シリコン膜から成る第2絶縁膜232と、有機樹脂材料から成る第3絶縁膜1633が形成されている。そして、アルミニウム(A1)、チタン(T<sub>i</sub>)、タンタル(T<sub>a</sub>)などを用いて、ソースまたはドレイン配線1634～1637、画素電極1640、ゲート配線1639、接続電極1638が形成されている。

【0070】周辺回路1705のpチャネル型TFT1701には、チャネル形成領域1707、p型の不純物領域から成るソースまたはドレイン領域1708が形成されている。nチャネル型TFT1702には、チャネル形成領域1709、n型の不純物領域から成るLDD領域1710、n型の不純物領域から成るソースまたはドレイン領域1711が形成されている。画素部1706の画素TFT1703は、マルチゲート構造であり、チャネル形成領域1712、LDD領域1713、ソースまたはドレイン領域1714～1716が形成される。LDD領域の間に位置するn型の不純物領域は、オフ電流を低減するために有用である。保持容量1704は、容量配線1605と半導体層1613とその間に形成される第1の絶縁層とから形成されている。

【0071】画素部1706においては、接続電極1638によりソース配線1607は、画素TFT1703のソースまたはドレイン領域1714と電気的な接続が形成される。また、ゲート配線1639は、第1の電極と電気的な接続が形成される。また、画素電極1640は、画素TFT1703のソースまたはドレイン領域1716及び保持容量1704の半導体層1613と接続している。

【0072】このような逆スタガ型TFTを用いても、ゲート電極や半導体膜が形成される層に変更があるものの、図7と同様な構成の画素を形成することができる。こうして、実施例1で説明した図3におけるアクティブマトリクス型表示装置の駆動回路及び画素部を形成することができる。

【0073】【実施例4】図3に示す構成アクティブマトリクス型表示装置でEL表示装置を作製する場合の一例を説明する。周囲の光強度を検知し映像信号に補正を加える制御回路、映像信号処理回路、ゲート信号線駆動回路、ソース信号線駆動回路は同様な構成であるので、本実施例では画素部の断面構造の概略を図9(A)に示して説明する。

【0074】図9(A)において、11は基板、12はブロッキング層である。基板11は透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものである必要がある。

【0075】701はスイッチング用TFTであり、nチャネル型TFTで形成されているが、スイッチング用TFTは、pチャネル型としてもよい。また、702は電流制御用TFTであり、図9(A)は、電流制御用TFT702がpチャネル型TFTで形成された場合を示している。この場合は、電流制御用TFTのドレインは、EL素子の陽極に接続されている。但し、スイッチング用TFTをnチャネル型TFTに電流制御用TFTをpチャネル型TFTに限定する必要はなく、この逆、又は両方にpチャネル型TFTまたは、nチャネル型TFTを用いることも可能である。

【0076】スイッチング用TFT701は、ソース領域13、ドレイン領域14、LDD領域15a～15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース線21並びにドレイン線22を有して形成される。なお、ゲート絶縁膜18又は第1層間絶縁膜20は基板上の全TFTに共通であっても良いし、回路又は素子に応じて異ならせてても良い。

【0077】また、図9(A)に示すスイッチング用TFT701はゲート電極19a、19bが電気的に接続されており、いわゆるダブルゲート構造となっている。勿

論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0078】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFT701のオフ電流を十分に低くすれば、それだけコンデンサに必要な容量を小さくすることができる。即ち、コンデンサの専有面積を小さくすることができるので、マルチゲート構造とすることはEL素子703の有効発光面積を広げる上でも有効である。

【0079】さらに、スイッチング用TFT701においては、LDD領域15a～15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a～15dの長さ(幅)は0.5～3.5μm、代表的には2.0～2.5μmとすれば良い。

【0080】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16(ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域)がオフ電流の低減に効果的である。

【0081】次に、電流制御用TFT702は、ソース領域26、ドレイン領域27、チャネル形成領域29、30、ゲート絶縁膜18、ゲート電極30、第1層間絶縁膜20、ソース線31並びにドレイン線32を有して形成される。なお、ゲート電極30はシングルゲート構造となっているがマルチゲート構造であっても良い。

【0082】図9(B)はこのEL表示装置の画素の等価回路であり、スイッチング用TFT701のドレインは電流制御用TFT702のゲートに接続されている。また、19はゲート電極19a、19bを構成するゲート配線であり、704は保持容量を示す。具体的には図9(A)の電流制御用TFT702のゲート電極30はスイッチング用TFT701のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電気的に接続されている。また、ソース配線31は図9(B)の電源供給線705に接続される。

【0083】また、EL層に流す電流量を多くするという観点から見れば、電流制御用TFT702の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50～100nm、さらに好ましくは60～80nm）ことも有効である。逆に、スイッチング用TFT701の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ま

しくは20~50nm、さらに好ましくは25~40nm)こととも有効である。

【0084】47は第1パッシベーション膜であり、膜厚は20nm~200nmとすれば良い。材料としては、珪素を含む絶縁膜(特に窒化酸化珪素膜又は窒化珪素膜が好ましい)を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割をもつ。最終的にTFTの上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属(可動イオン)をTFT側に侵入させない保護層としても働く。

【0085】また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5~5μm(好ましくは1.5~2.5μm)が好ましい。

【0086】また、49は透明導電膜でなる画素電極(EL素子の陽極)であり、第2層間絶縁膜48及び第1パッシベーション膜47にコンタクトホール(開孔)を開けた後、形成された開孔部において電流制御用TFT702のドレイン配線32に接続されるように形成される。なお、図9(A)のように画素電極49とドレン領域27とが直接接続されないようにしておくと、陰極のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【0087】第2層間絶縁膜48の上には絶縁材料でバング59が形成され、その間にEL層51が設けられる。EL層51は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層/正孔輸送層/発光層/電子輸送層の順に形成されるが、正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0088】有機EL材料としては、例えば、以下の米国特許又は公開公報に開示された材料を用いることができる。米国特許第4,356,429号、米国特許第4,539,507号、米国特許第4,720,732号、米国特許第4,769,292号、米国特許第4,885,211号、米国特許第4,950,950号、米国特許第5,059,861号、米国特許第5,047,687号、米国特許

第5,073,446号、米国特許第5,059,862号、米国特許第5,061,617号、米国特許第5,151,629号、米国特許第5,294,869号、米国特許第5,294,870号、特開平10-189525号公報、特開平8-241048号公報、特開平8-78159号公報。

【0089】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R(赤)G(緑)B(青)に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体(蛍光性の色変換層:CCM)とを組み合わせた方式、陰極(対向電極)に透明電極を使用してRGBに対応したEL素子を重ねる方式がある。尚、ELには一重項励起による発光(蛍光)と三重項励起による発光(燐光)とがあり、本明細書でいうELにはそのいずれか一方、又はその両者が混在した発光を含むもの指していう。

【0090】図9(A)の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図9(A)には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

【0091】EL層51の上にはEL素子の陰極52が設けられる。陰極52としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFA1、AlLi電極が挙げられる。

【0092】陰極52はEL層51を形成した後、大気解放しないで連続的に形成することが望ましい。陰極52とEL層51との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0093】EL層51と陰極52とでなる積層体は、各画素で個別に形成する必要があるが、EL層51は水分に極めて弱いため、通常のフォトリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0094】なお、インクジェット法、スクリーン印刷法およびスピンドルコート法等を用いてEL層51を選択的に形成した後、蒸着法、スパッタ法及びプラズマCVD法等の気相法で陰極を形成することも可能である。

【0095】また、53は保護電極であり、陰極52を外部の水分等から保護すると同時に、各画素の陰極52を接続するための電極である。保護電極53としては、

アルミニウム (A1)、銅 (Cu) 若しくは銀 (Ag) を含む低抵抗な材料を用いることが好ましい。この保護電極 53 にはEL層 51 の発熱を緩和する放熱効果も期待できる。また、上記EL層 51、陰極 52 を形成した後、大気開放しないで連続的に保護電極 53 まで形成することも有効である。

【0096】また、54は第2パッシベーション膜であり、膜厚は10nm～1μm (好ましくは200～500nm) とすれば良い。第2パッシベーション膜 54 を設ける目的は、EL層 51 を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにEL層は熱に弱いので、なるべく低温 (好ましくは室温から120℃までの温度範囲) で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法 (スピンドルティング法) が望ましい成膜方法と言える。図9 (A) に示す構造は、EL素子から見た発光方向が基板 11 側であり、このような画素構造のEL表示装置は基板 11 を通して映像を表示する。

【0097】一方、図10 (A) には図9 (A) と同様にEL表示装置の画素構造の断面図を示すが、EL素子 703 から見た発光方向が基板 11 とは反対側であり、このような画素構造のEL表示装置はEL素子 703 が形成された面で映像を表示する。この場合、スイッチング用TFT 701 は図9 (A) と同様なものであるが、電流制御用TFT 706 はnチャネル型TFT を用いる。電流制御用TFT 706 は、ソース領域 66、ドレイン領域 67、チャネル形成領域 69、ゲート絶縁膜 18、ゲート電極 60、第1層間絶縁膜 20、ソース線 61 並びにドレイン線 62 を有して形成される。なお、ゲート電極 60 はシングルゲート構造となっているがマルチゲート構造であっても良い。また、このような画素の等価回路を図10 (B) に示す。

【0098】また、53はA1、Cu、Agなどで形成される画素電極 (EL素子の陰極側) であり、その上にはEL素子の陰極 52 が設けられる。陰極 52 とEL層 51 との界面状態はEL素子の発光効率に大きく影響するので注意を要する。EL層 51 は同様に単層又は積層構造で形成する。その上に透明電極 (陽極側) 49 が設けられ、さらに第2パッシベーション膜 54 が設けられている。

【0099】本発明の主旨は、アクティブマトリクス型EL表示装置において、環境の変化をセンサーで検知し、この情報に基づきEL素子を流れる電流量を制御し、EL素子の発光輝度を制御するというものである。従って、図9 (A) のEL表示装置の構造に限定されるものではなく、図9 (A) の構造は実施例1で説明する図3に示す構成のアクティブマトリクス型表示装置における好ましい形態の一つに過ぎない。このようにして、実施例1で示すアクティブマトリクス型表示装置の画素

部をEL素子を用いて作製することができる。

【0100】【実施例5】図12は実施例1において示す光センサーをアクティブマトリクス型表示装置に実装する概念図を示す。尚、本実施例は液晶表示装置を一例として示すが、別基板に作製した光センサーをアクティブマトリクス基板に実装する概念はEL表示装置にもそのまま適用することができる。

【0101】画素部が形成された第1の基板 800 には駆動回路 (A) 801、駆動回路 (B) 802、画素部 803、外部入出力端子 804、接続配線 805 が形成されている。画素部 803 は実施例2で示すように画素 TFT をマトリクス状に配置して形成されている。駆動回路 (A) 801、駆動回路 (B) 802 も同様に作製される。第2の基板 808 には対向電極 809 が形成され、シール材 810 で第1の基板 800 と接着されている。シール材 810 の内側には液晶が封入され液晶層 811 を形成する。第1の基板と第2の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には3～8μm、スマチック液晶の場合には1～4μmとする。

【0102】外部入出力端子 804 には、外部から電源及び制御信号を入力するためのFPC (フレキシブルプリント配線板: Flexible Printed Circuit) 812 を貼り付ける。FPC 812 の接着強度を高めるために補強板 813 を設けても良い。

【0103】光電変換層を非晶質シリコンやCdSなどで作製した薄膜素子を用いる。光センサー 806 は第3の基板 807 に複数個作製されたものを分割し、第1の基板 800 に実装する。実装の方法は、光センサーの光入射方向と画素部の表示方向との兼ね合いで若干異なるが、基本的には導電性樹脂を用いたフェイスダウン方式で装着する。

【0104】図11は非晶質シリコンを光電変換層に用いた光センサーの一例を示す。図11 (A) は、透光性の基板 601 上に透明電極 602、光電変換層 603、光反射性電極 604a、604b が形成された光センサーを示している。光電変換層 603 はp-i-n接合が形成されたもので、I型層は非晶質シリコンで形成されている。接合の方向は任意なものとするが、例えば、p型層が透明電極 602 と接触し、n型層が光反射性電極 604a、604b と接触するように形成する。透明電極 602 は開孔 605、606 で基板 601 の端部と分離され短絡を防いでいる。外部接続端子は光反射性電極が兼ね、光反射性電極 604a は光電変換層 603 に形成された開孔 607 で透明電極と電気的に導通し、プラス端子となる。光反射性電極 604b は一端子を形成する。図11 (A) の場合、受光面は透光性の基板 610 側となり、基板 601 を透過した光が光電変換層に入射する仕組みとなっている。

【0105】図11 (B) は、基板 610 上に光反射性

21

電極611、光電変換層612、透明電極613が形成された光センサーを示している。光電変換層612はp-i-n接合が形成されたもので、i型層は非晶質シリコンで形成されている。接合の方向は任意なものとするが、p型層が透明電極613と接触し、n型層が光反射性電極611と接触する構造が好ましい。光反射性電極611、光電変換層612は開孔614、615で基板610の端部と分離され短絡を防いでいる。外部接続端子617、618は銀などの導電性ペーストから作製されたもので、透明電極上に選択的に形成されている。外部接続端子617は開孔614で光反射性電極と電気的に導通し、一端子(n層側のコンタクト)となる。接続端子618は+端子(p層側のコンタクト)を形成する。図11(B)の場合、受光面は透明電極613が形成された側となる。

【0106】このように、光センサーは光電変換層に光が入射する面から見て2種類に分類することができる。光センサーは画素部及び駆動回路、制御回路が形成された基板に実装される。その場合、光センサーは基板の同一面上に形成された配線とコンタクトを形成するように実装する。図13はその部分の詳細を示す。

【0107】図13(A)は図11(A)の光センサーを実装する場合の例を示している。この場合、光センサーが形成されている基板601の側から光センサーに光が入射する。光センサーは基板800上に形成された配線850に合わせて装着され、光または熱硬化型の樹脂852で接着されている。配線850とのコンタクトは樹脂852中に含まれる導電性粒子851により形成されている。

【0108】図13(B)は図11(B)の光センサーを実装する場合の例を示している。この場合、基板800を透過した光が光センサーに入射する構成となっている。光センサーは基板800上に形成された配線850に合わせて装着され、クリーム半田や銀ペーストなどの導電性材料853で接着されている。

【0109】図12で示すように、光センサーを第3の基板807に複数個形成し、画素部及びその駆動回路が形成された第1の基板800に実装することで表示装置を完成させる上での工程を簡略化することができる。本発明で用いる光センサーとアクティブマトリクス型表示装置を形成する基板とのデザインルールは異なり、後者は数μm～サブミクロンのデザインルールが要求されるのに対し、前者は数十～数百ミクロンのデザインルールで作製される。光センサーはレーザー加工やスクリーン印刷などによりパターンを形成することが可能である。

【0110】[実施例6]実施例1で示すような光センサーが実装されたアクティブマトリクス型表示装置を様々な電子装置に組み込む方法の一例を図14に示す。図14(A)は、その一例であり、TFTなどの素子が形成された基板901、対向基板902が有り、その間に素

22

子形成領域903がある。素子形成領域903の詳細な構造は省略されているが、液晶表示装置の場合、図6

(B)または図16で示す画素TFTの他に画素電極上に液晶層などが形成されている。また、EL表示装置の場合には、図9(A)または図10(A)で示すスイッチング用TFT、電流制御用TFT、EL素子などが形成されている。その他に、図3で示すように画素部の周辺に設けられる各種回路が含まれていても良い。素子形成領域903はシール材904でこの2枚の基板間に封入されて、外気に曝されないようにすることにより表示装置の信頼性を高めている。

【0111】光センサー907は画素部が形成された基板901に固定され、素子形成領域903の回路と電気的な接続を形成している。この場合の接続方法は図13

(A)の方法が採用される。対向基板902の外側に実装されている。入出力端子908の一方の端はフレキシブルプリント配線板(Flexible Printed Circuit: FPC)909と接続し、信号処理回路、增幅回路、電源回路などが設けられたプリント基板910に接続し、画像表示に必要な信号を伝達するようになっている。また、偏光板は省略されているが、適時必要に応じて設ければ良い。

【0112】映像表示(表示光)は対向基板902側に射出される光により行われ、この面が表面となる。光センサーへの光の入射は筐体915に設けられた開孔916から入射する。この場合、光センサーは図11

(A)に示す構造のものを用いる。光センサーからの出力は配線906によって制御回路と接続する。

【0113】図14(A)の構成は、反射型の液晶表示装置に適用することができる。また、図示していないが、画素部が形成された基板901の下側にバックライトを設ければ透過型の液晶表示装置に用いることもできる。その他に、図10(A)で示すような構成のEL表示装置にも適用することができる。

【0114】図14(B)は他の一例であり、TFTなどの素子が形成された基板920と対向基板921がシール材923で固定され、その間に素子形成領域922が設けられている。光センサー925はTFTなどの素子が形成された基板920に固定され素子形成領域の回路と電気的に接続している。この接続方法は図13

(B)の方法が採用される。入出力端子926の一方の端はフレキシブルプリント配線板(Flexible Printed Circuit: FPC)927と接続し、信号処理回路、增幅回路、電源回路などが設けられたプリント基板928に接続し、画像表示に必要な信号を伝達するようになっている。画像表示(表示光)は基板920側に射出され、この面が表面となる。外光は筐体929に設けられた開孔930から導入され、TFTなどの素子が形成された基板920を透過した光が光センサー925に入射する。光センサーからの出力は配線924によって制御回

路と接続する。

【0115】図14 (B) の構成は、図9 (A) で示すような基板側にEL層の光を出射する構成のEL表示装置に適用することができる。

【0116】ここで示す表示装置の実装方法は一例であり、表示装置の形態に合わせて適宜組み立てられるものである。

【0117】[実施例7]図17は光センサーをTFTなどの素子が形成された基板と一体形成した一例を示す。周辺回路851のpチャネル型TFT852、nチャネル型TFT853は実施例2と同様にして作製される。基板856にブロッキング層857が形成され、半導体膜858、859、ゲート絶縁膜860、861、ゲート電極862、863が形成されている。ゲート絶縁膜860、861はゲート電極862、863の外側で半導体膜858、859の表面が露出するようにエッチング処理がなされている。ゲート電極862、863上にはバッシャーション膜864と有機樹脂材料から成る層間絶縁膜865が形成され、ソースまたはドレイン電極866～869が形成されている。

【0118】pチャネル型TFT852の半導体膜858に形成されるチャネル形成領域及びp型の不純物領域、及びnチャネル型TFT853の半導体膜859に形成されるチャネル形成領域及びn型の不純物領域の詳細は、実施例2で示す図6 (B) のpチャネル型TFT453、及びnチャネル型TFT454と同様なものである。

【0119】一方、光センサー854はこれらのTFTと同じ工程で作製される。p型半導体領域870、及びn型半導体領域871は、半導体膜858、859と同じ結晶質半導体で形成される。p型またはn型の不純物元素は、TFTの不純物領域を作製するときに同時に形成される。そして、この不純物半導体に重なるように、非晶質シリコン膜872が500～1000nmの厚さで形成されている。この非晶質シリコン膜872は真性半導体であることが望ましく、これによりpin接合が形成される。873はp型半導体領域870とコンタクトをとる電極であり、874はn型半導体領域とコンタクトをとる電極である。

【0120】光センサー854への光の入射は基板856側から行うことが可能であり、また、非晶質シリコン膜872が形成されている面側から行うことも可能である。従って、実施例6で示す筐体への組込方法は、図14 (A) または (B) のいずれの方法も採用することができる。

【0121】本実施例では、TFTを実施例2で説明するトップゲート型の構造で示したが、本実施例の光センサーは、実施例3で示す逆スタガ型のTFTとも組み合わせることができる。そして、このような光センサーが形成された表示装置は、液晶表示装置及びEL表示装置

のいずれにも適用することができる。

【0122】[実施例8]本発明のアクティブマトリクス型表示装置は様々な電子機器に用いることができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パソコン 컴퓨터、携帯情報端末機器（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図18と図19に示す。

【0123】図18 (A) はパソコンコンピュータであり、本体9001、画像入力部9002、表示装置9003、キーボード9004等を含む。本発明は表示装置9003に用いることができ、受光部9005に設けられた光センサーにより、周囲の明るさに応じて表示装置9003の輝度を制御することができる。

【0124】図18 (B) はビデオカメラであり、本体9101、表示装置9102、音声入力部9104、操作スイッチ9103、バッテリー9106、受像部9105等を含む。本発明は表示装置9102に用いることができ、受光部9107に設けられた光センサーにより、周囲の明るさに応じて表示装置9102の輝度を制御することができる。

【0125】図18 (C) はモバイルコンピュータまたはPDA (Personal Digital Assistant: 個人用の情報端末) であり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205等を含む。本発明は表示装置9205に用いることができ、受光部9206に設けられた光センサーにより、周囲の明るさに応じて表示装置9205の輝度を制御することができる。

【0126】図18 (D) はゴーグル型ディスプレイであり、本体9301、表示装置9302、アーム部9303等から成っている。本発明は表示装置9302に用いることができ、受光部9304に設けられた光センサーにより、周囲の明るさに応じて表示装置9302の輝度を制御することができる。

【0127】図18 (E) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体9401、表示装置9402、スピーカ部9403、記録媒体9404、操作スイッチ1223等を含む。なお、このプレーヤーは記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示装置9402に用いることができ、受光部9406に設けられた光センサーにより、周囲の明るさに応じて表示装置9402の輝度を制御することができる。

【0128】図18 (F) はデジタルカメラであり、本体9501、表示装置9502、接眼部9503、操作

スイッチ9504、受像部(図示しない)等を含む。本発明は表示装置9502に用いることができ、受光部9505に設けられた光センサーにより、周囲の明るさに応じて表示装置9502の輝度を制御することができる。

【0129】図19(A)は携帯電話であり、表示パネル1401、操作用パネル1402、接続部1403、表示装置1404、音声出力部1405、操作キー1406、電源スイッチ1407、音声入力部1408、アンテナ1409等を含む。本発明は表示装置1404に用いることができ、受光部1410に設けられた光センサーにより、周囲の明るさに応じて表示装置1404の輝度を制御することができる。

【0130】図19(B)は携帯書籍(電子書籍)であり、本体1411、表示装置1412、記憶媒体1413、操作スイッチ1414、アンテナ1415等を含む。本発明は表示装置1412に用いることができ、受光部1416に設けられた光センサーにより、周囲の明るさに応じて表示装置1412の輝度を制御することができる。

【0131】図19(C)はテレビ受像器であり、本体1416、支持台1417、表示装置1418等を含む。本発明は表示装置1418に用いることができ、受光部1420に設けられた光センサーにより、周囲の明るさに応じて表示装置1418の輝度を制御することができる。本発明のテレビ受像器は特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0132】以上の様に、本発明の適用範囲は極めて広く、様々な分野の電子機器に適用することができる。

### 【0133】

【発明の効果】本発明の表示装置は、光センサーを用いて周囲の明るさを検知して表示装置の発光輝度を調節することを可能としている。表示装置の画素部に表示される映像の輝度を調節し、周囲が明るい場合には輝度を高く、暗い場合には輝度を低くすることにより、使用者にとって見やすい映像表示を提供し、また、表示装置を搭

載した電子機器の低消費電力化を実現することもできる。

### 【図面の簡単な説明】

【図1】 本発明のデジタル駆動の表示装置の構成を説明する図。

【図2】 光センサーの出力を読み取るソースフォロワ回路図。

【図3】 光センサーと画素部、駆動回路、制御回路のレイアウトを説明する図。

【図4】 画素部、周辺回路のTFTの作製工程を説明する断面図。

【図5】 画素部、周辺回路のTFTの作製工程を説明する断面図。

【図6】 画素部、周辺回路のTFTの作製工程を説明する断面図。

【図7】 画素部の画素構造を説明する上面図。

【図8】 液晶表示装置における画素の回路図。

【図9】 EL表示装置の画素の断面図及び等価回路。

【図10】 EL表示装置の画素の断面図及び等価回路。

20

【図11】 光センサーの断面図。

【図12】 光センサーを実装する表示装置の組み立て図。

【図13】 光センサーの接続方法と光の入射方向を説明する断面図。

【図14】 本発明の表示装置を筐体に組み込んだ状態を示す断面図。

【図15】 本発明のアナログ駆動の表示装置の構成を説明する図。

30 【図16】 画素部、周辺回路のTFTを説明する断面図。

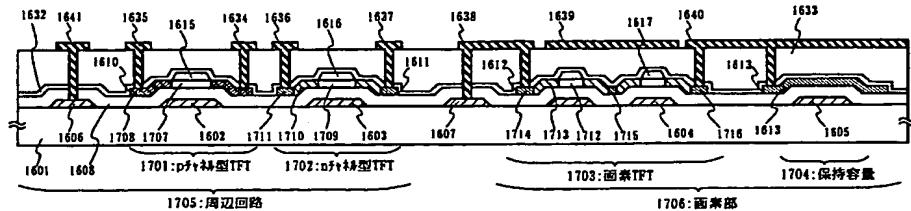
【図17】 基板上に一体形成される光センサーの断面図。

【図18】 本発明の表示装置を組み込んだ電子機器の一例を示す図。

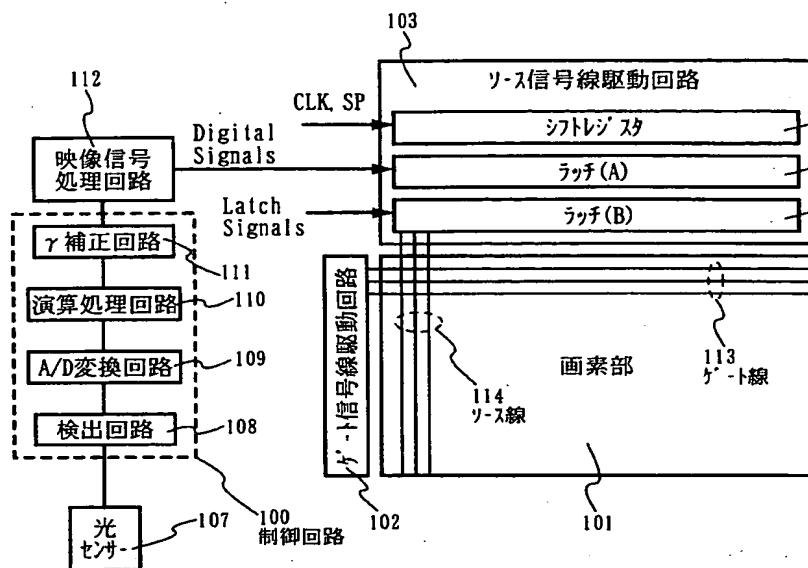
【図19】 本発明の表示装置を組み込んだ電子機器の一例を示す図。

【図20】 時分割階調方式の動作を示す図。

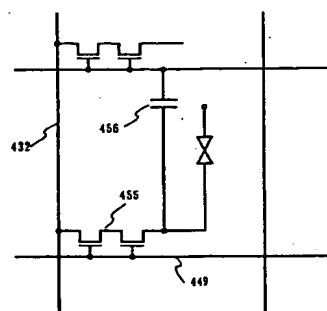
【図16】



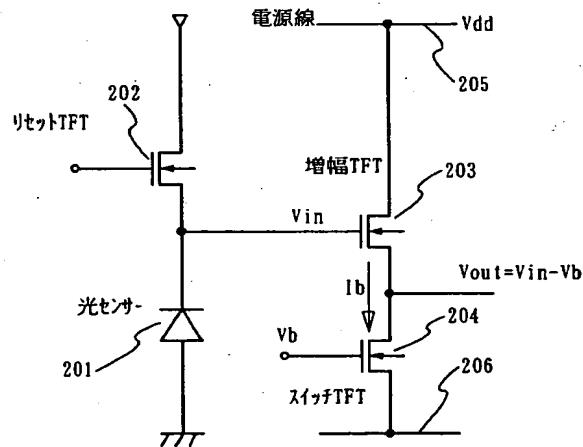
[図 1]



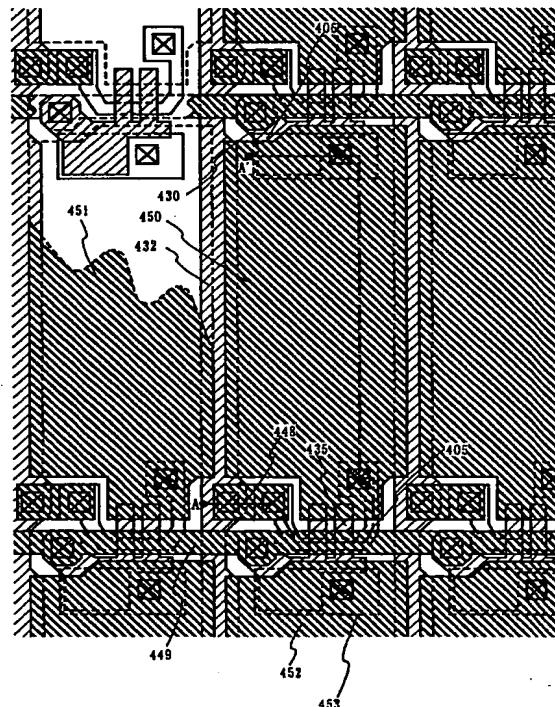
〔図8〕



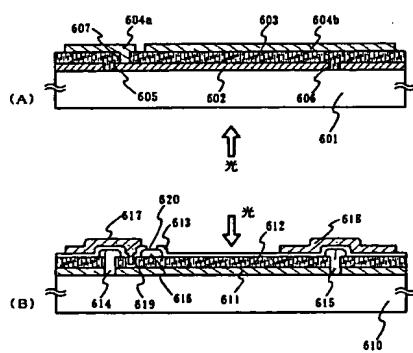
[図2]



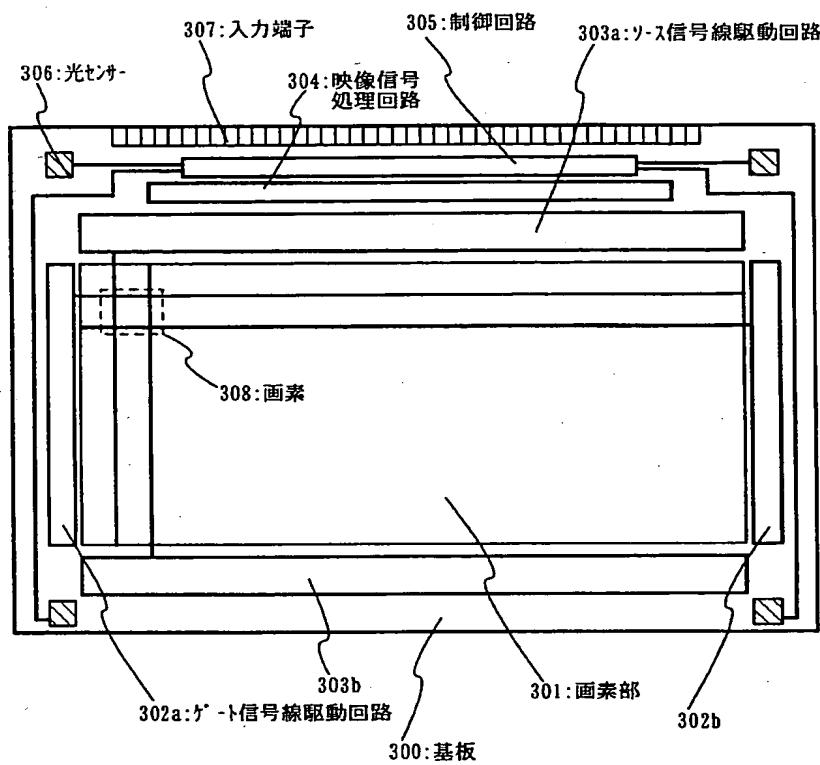
[図 7]



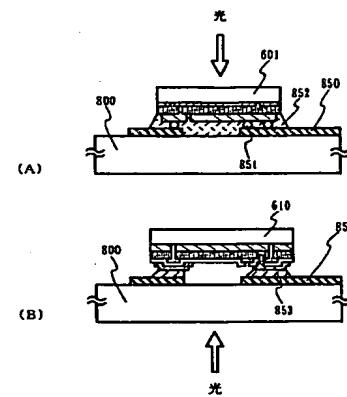
[☒ 1 1]



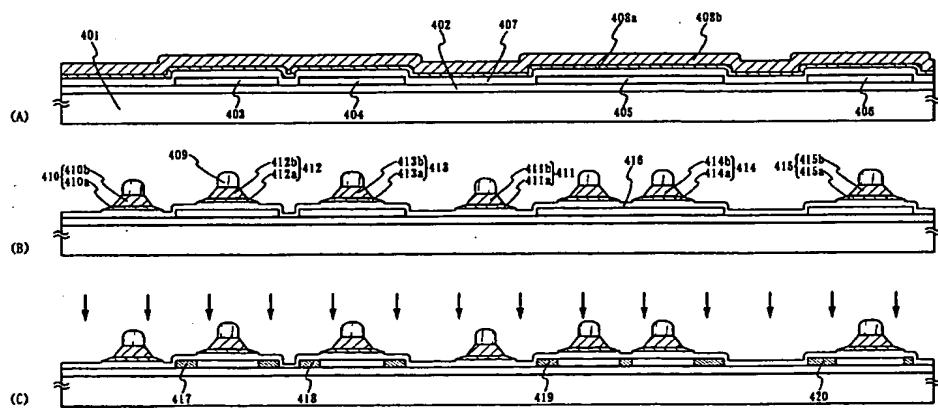
【図3】



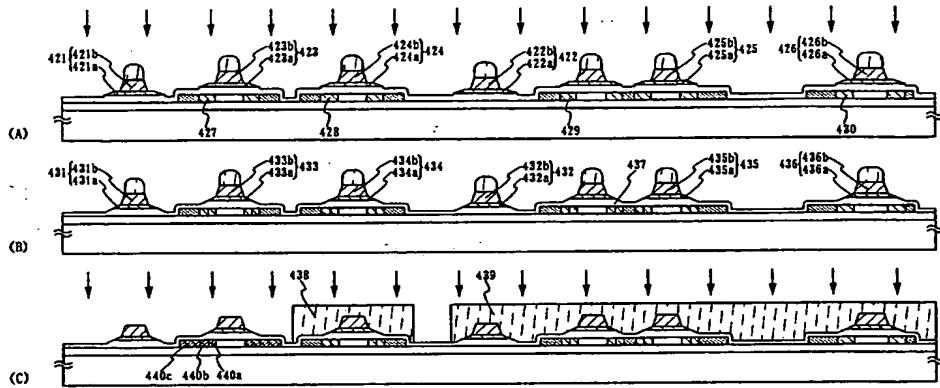
【図13】



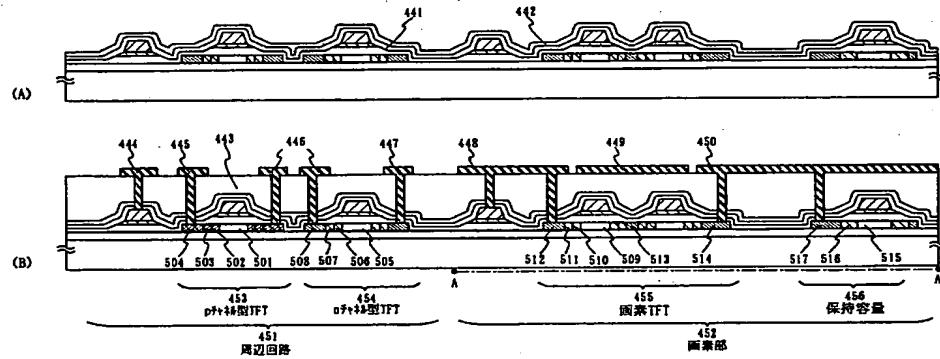
【図4】



【図5】

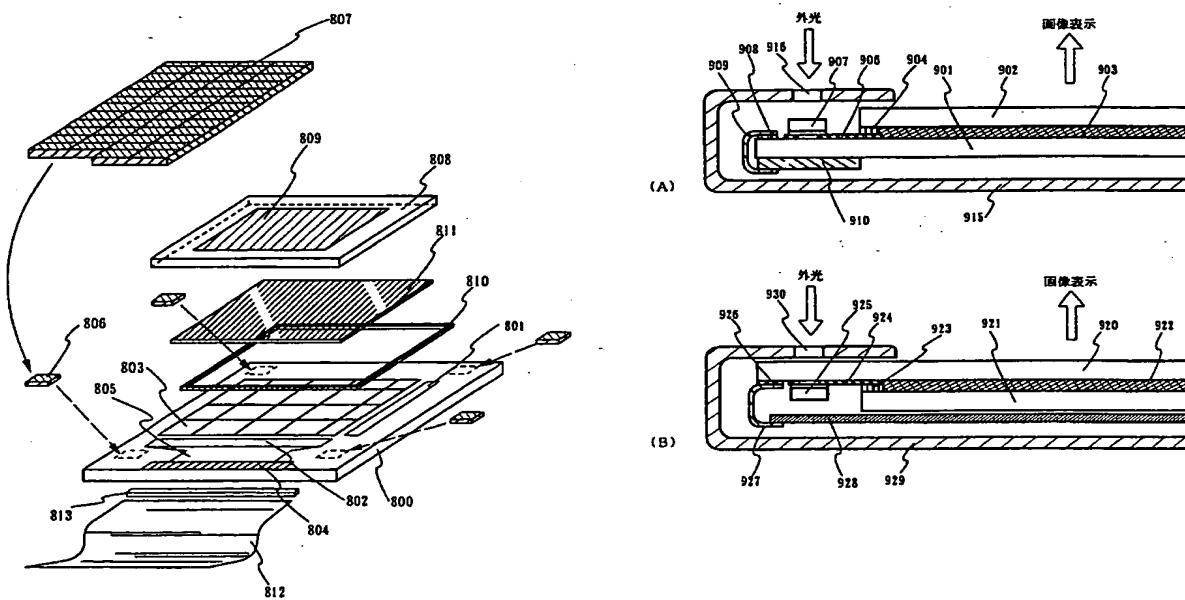


[図 6]

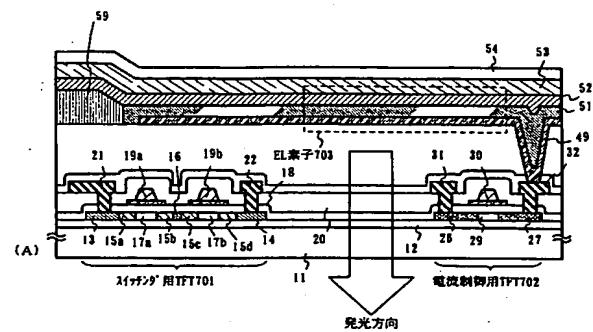


【図12】

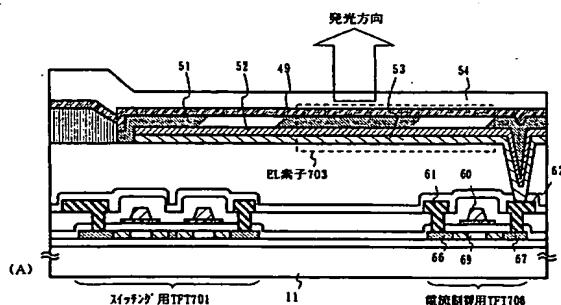
[図14]



[図9]



[図10]

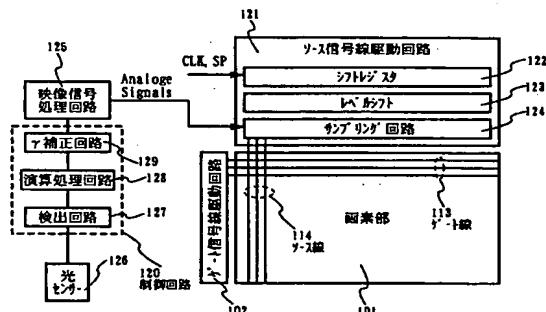


Circuit diagram (B) showing a logic circuit with inputs 19, 21, and 203, and outputs 701, 704, 705, 702, and 703. The circuit consists of several logic gates and switches. Input 19 is connected to the top of a switch 701. The output of 701 is connected to the top of a switch 704. The output of 704 is connected to output 705. Input 21 is connected to the top of a switch 702. The output of 702 is connected to the top of a switch 703. The output of 703 is connected to output 702. Input 203 is connected to the top of a switch 703. The output of 703 is connected to output 701. The outputs 701, 702, and 703 are connected to the inputs of a logic gate. The output of this logic gate is connected to the top of a switch 704. The output of 704 is connected to output 705.

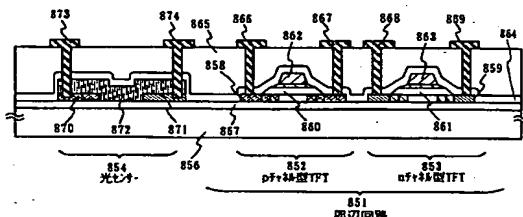
The diagram shows a logic circuit with the following components and connections:

- Inputs:** 19, 21, 23 (labeled on the left).
- Logic Block 1:** A 2-input AND gate with inputs 19 and 21. Its output is connected to one input of a 2-input OR gate, and its output is also connected to one input of a 2-input AND gate with inputs 23 and 704.
- Logic Block 2:** A 2-input AND gate with inputs 19 and 23. Its output is connected to one input of a 2-input OR gate, and its output is also connected to one input of a 2-input AND gate with inputs 21 and 705.
- Logic Block 3:** A 2-input OR gate with inputs from Logic Block 1 and Logic Block 2. Its output is connected to one input of a 2-input AND gate with inputs 704 and 705.
- Logic Block 4:** A 2-input AND gate with inputs 704 and 705. Its output is connected to one input of a 2-input OR gate with inputs 703 and 706.
- Logic Block 5:** A 2-input OR gate with inputs 703 and 706. Its output is labeled 706.
- Logic Block 6:** A 2-input AND gate with inputs 703 and 706. Its output is labeled 701.

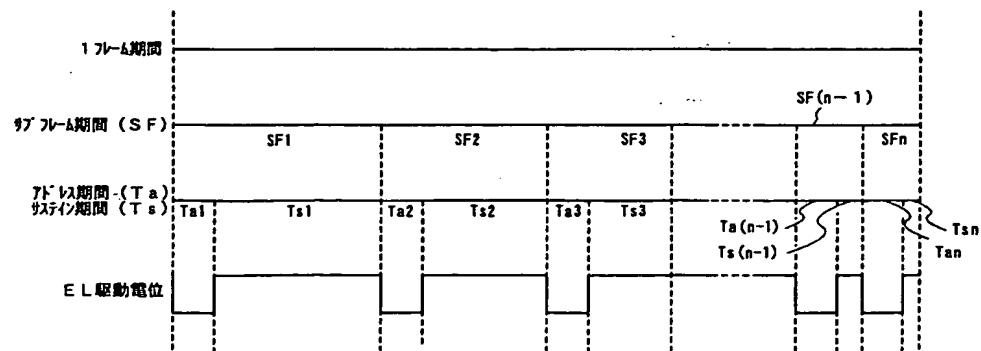
【图 15】



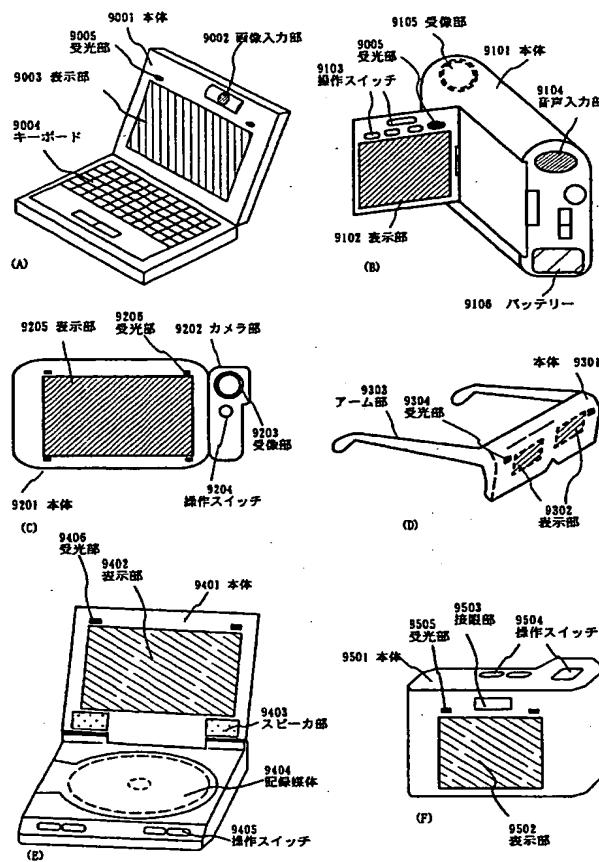
【図17】



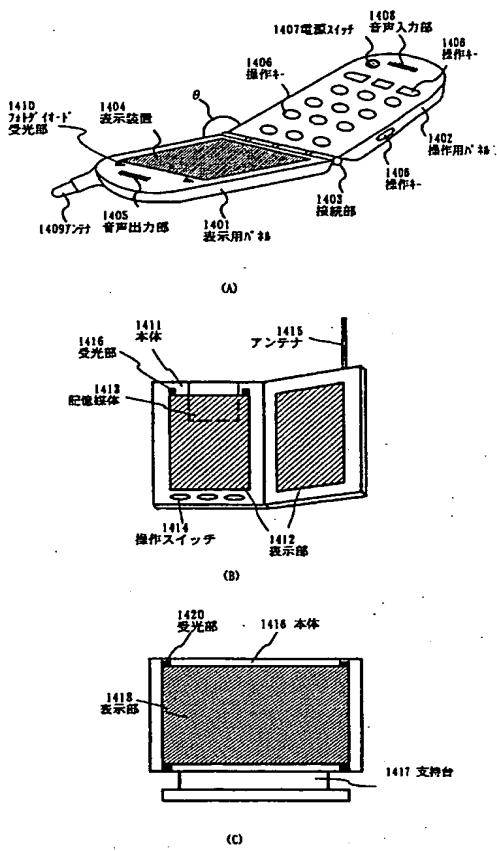
[图20]



【図18】



【図19】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	マーク(参考)
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z 5 G 4 3 5
9/35		9/35	
G 09 G 3/20	6 4 1	G 09 G 3/20	6 4 1 Q
	6 4 2		6 4 2 F
H 05 B 33/08		H 05 B 33/08	
33/14		33/14	A

F ターム(参考) 2H092 GA59 JA24 KA05 MA05 MA08  
NA01 PA07  
2H093 NA16 NA58 NC22 NC34 NC42  
ND07  
3K007 AB02 AB05 EB00 FA01 GA04  
5C006 AF46 AF54 BB16 BC03 BC06  
BC13 BC16 BF39 EC02 EC05  
EC11 EC13  
5C080 AA06 AA10 BB05 DD30 EE28  
GG09 JJ02 JJ03 JJ04 JJ06  
KK02 KK07 KK20 KK23 KK43  
KK52  
5C094 AA07 AA22 BA03 BA12 BA29  
BA43 CA19 CA24 DA14 DA15  
DB01 DB04 EA04 EA07 EB02  
HA06 HA07 HA08  
5G435 AA00 AA03 BB05 BB12 DD10  
EE30 EE33 EE37 LL04 LL07  
LL09 LL10 LL14